

Austrochip 2004 – vorläufiges Tagungsprogramm

Donnerstag, 07. Oktober 2004

15:00 – 18:00 Fertigungsführung und Besichtigung der Entwicklungslabors bei Infineon
Treffpunkt:
Empfang Haupteingang Infineon Villach, Siemensstraße 2

Anschließend Gelegenheit zum gemütlichen Zusammensitzen

Freitag, 08. Oktober 2004

Ab 8:00 Registrierung
8:45 – 8:55 Begrüßung
8:55 – 9:00 Eröffnung

9:00 – 9:50 **Eingeladene Vorträge**

9:00 – 9:25 *Systematischer IC Entwurf und die Realität*
D. Draxelmayr, Infineon Technologies

9:25 – 9:50 *Mixed-signal integrated circuits for low power, battery driven applications*
R. Forsyth, *austriamicrosystems AG*

9:50 – 10:50 **Session 1**

9:50 – 10:10 *The usage of “Modulated Steady-State” Algorithm for accurate RF Mixed Signal Chip Level Verification*
M. Sida, C. Descleves, G. Clemems, R. Ahola

10:10 – 10:30 *Automatisierte Erzeugung von asynchronen Schaltungen*
R. Jährig, W. Anheier

10:30 – 10:50 *Automatic Synthesis of a Pipeline ADC Using a Layout Orientated Synthesis Methodology*
S. Thiel, N. Ay, H. Klar

10:50 – 11:20 Erfrischungspause

11:20 – 13:00 **Session 2**

11:20 – 11:40 *A Power Optimized 14-Bit Switched Capacitor Delta-Sigma Modulator for ADSL CO Applications*
R. Gaggl, A. Wiesbauer

11:40 – 12:00	<i>A 62mW 12b 60MS/s Pipelined ADC in 0.13μm CMOS</i> P. Bogner
12:00 – 12:20	<i>A Low Power 1.4 GSample/s Comparator for Flash-ADCs in 120nm CMOS Technology</i> B. Goll, H. Zimmermann
12:20 – 12:40	<i>A Programmable Low-Noise, Low-Power Operational Amplifier in a 0.35 μm CMOS Technology</i> C. Bronskowski, D. Schroeder
12:40 – 13:00	<i>On the Design of Excess Loop Delay Compensation Circuits in Continuous-Time Sigma-Delta Modulators</i> A. Di Giandomenico, A. Wiesbauer, M. Clara, S. Patón, B. L. Hernández, F. Corsi
<hr/>	
13:00 – 14:30	Mittagessen
<hr/>	
14:30 – 15:30	Session 3
14:30 – 14:50	<i>A Four Channel ADSL2+ Analog Front End for CO Applications with 75mW per Channel built in 0.13μm CMOS</i> P. Pessl, J. Hohl, R. Gaggl, A. Marak, G. Glanzer, A. Kahl, S. Walter, J. Hauptmann
14:50 – 15:10	<i>An Analysis of a Low-Complexity Received Signal Strength Indicator for Wireless Applications</i> P. Singerl, C. Vogel
15:10 – 15:30	<i>Compact Modelling for SiGe BiCMOS Technologies</i> E. Seebacher, G. Rappitsch, Z. Huszka, K. Molnar, W. Pflanzl
<hr/>	
15:30 – 16:30	Postersession, Kaffeepause
<hr/>	
16:30 – 17:50	Session 4
16:30 – 16:50	<i>Substrate Noise Reduction for SoC Solutions on Standard Deep-Submicron CMOS Technologies</i> G. Fritz, R. Mostögl, R. Gaggl
16:50 – 17:10	<i>A Masked AES ASIC Implementation</i> N. Pramstaller, E. Oswald, S. Mangard, F.K. Gürkaynak, S. Häne
17:10 – 17:30	<i>FPGA Design für ein Hochleistungsbildverarbeitungssystem</i> P. Rössler, C. Eckel, H. Nachtnebel, J. Fürtler, G. Cadek
17:30 – 17:50	<i>A Universal and Efficient SHA-256 Implementation for FPGAs</i> N. Pramstaller, M. Aigner
<hr/>	
17:50 - 17:55	Schlussbemerkung und Vorschau auf die Austrochip 2005

15:30 – 16:30

Postersession

A New Stochastic Neuron Architecture for Efficient FPGA Implementation

M. Martincigh, A. Abramo

SoC-Mobinet, R&D and Education in Systems-on-Chip Design

E. Ofner, A. Blaickner

Abschätzung und Optimierung der Energieaufnahme von Speicherzugriffen auf unterschiedlichen Abstraktionsebenen

U. Neffe, K. Rothbart, C. Steger, R. Weiss, E. Rieger,
A. Mühlberger

Das "Missing Link" der EMV zwischen Geräte- und IC-Ebene

T. Ostermann, B. Deutschmann, K. Lamedschwandner,
G. Winkler

An FPGA based SoC Design for Testing Embedded Automotive Communication Systems employing the FlexRay Protocol

M. Horauer, F. Rothensteiner, M. Zauner, E. Armengaud,
A. Steininger, H. Friedl, R. Pallierer

At-Speed Testing Made Easy

H.P. Steinemann

Spezielle Anwendungen von Poly Fuses

J. Fellner, P. Bösmüller

A SVSP S8-32 Processor Design in 130nm CMOS Technology

P. Vaclavik, A. Hahn

Position Detection by Inter Symbol Interference Removal for Engine Applications

S. Hainz, E. Ofner, D. Hammerschmidt, D. Tatschl,
T. Werth

CMOS Device Reliability Models Applied in the ELDO User Defined Reliability Model Tool

B. Mongellaz, J. Oudinot, C. Descleves

High-Level Hardware Synthesis of Multi-Rate Filters

M. Castelli, A. Hradetzky, M. Ley, E. Ofner

Design of a Simple Ethernet Switch with Extended IEEE 1588 Support

J. Birli, C. Gemeiner, R. Höller, V. Kaplan

Hardware/Software Co-Design of a Realtime-Rendering Architecture for Embedded Systems

G. Truhlar, T. Pühringer, G. Schedelberger, M. Pfaff, J. Langer